

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-167952

(43)公開日 平成6年(1994)6月14日

(51)Int. Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 C 3/36		7319-5C		
G 0 2 F 1/133	5 2 0	9226-2K		

審査請求 未請求 請求項の数 4(全 11 頁)

(21)出願番号 特願平4-321600

(22)出願日 平成4年(1992)12月1日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 江渡 正春

横浜市戸塚区吉田町292番地株式会社日立

製作所映像メディア研究所内

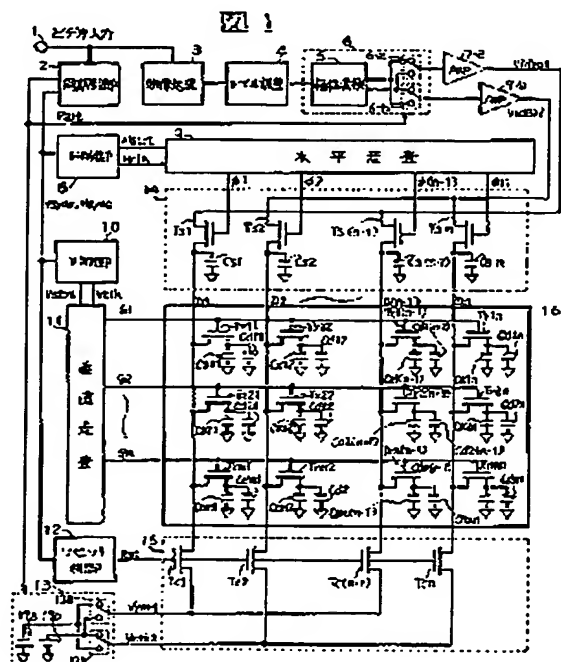
(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 書込リセット方式液晶パネル駆動回路

(57)【要約】

【目的】 電圧線度特性がヒステリシス特性を有する液晶パネルにおいて、同じ入力電圧に対して2種類の線度が表示されるという不都合を改善すること。

【構成】 アクティブマトリクス液晶パネルの画素に印加する映像信号の極性反転周期に同期して電圧値が周期的に切り変わるリセット電圧を発生するリセット電圧回路と、該リセット電圧を上記ドレイン線に印加するスイッチから構成されるリセット回路と、該スイッチの開閉を制御するリセット制御回路を設けた書込リセット方式液晶パネル駆動回路。



【特許請求の範囲】

【請求項1】マトリクス状に配列した画素トランジスタからなるアクティブマトリクス液晶パネルと、該画素トランジスタの縦方向画素毎にドレイン電極を共通に引きだしたドレイン線と、横方向画素毎にゲート電極を共通に引きだしたゲート線と、該ゲート線を順次走査する垂直走査回路と、該ドレイン線の奇数番号と偶数番号とに対応する2系統の映像信号をサンプルホールドして供給するスイッチおよび容量からなるサンプルホールド回路と、該サンプルホールド回路の該スイッチを順次走査する水平走査回路と、該水平走査回路の制御を行う水平制御回路と、垂直走査回路の制御を行う垂直制御回路と、入力映像信号に同期して該垂直制御回路および水平制御回路の制御を行う同期制御回路と、前記入力映像信号を処理する映像処理回路と、該処理された映像信号から正極性および負極性の映像信号を形成する極性変換回路と、該正極性および負極性の映像信号を周期的に切替える2系統のビデオスイッチと、該2系統のビデオスイッチで切替えた2系統の映像信号を前記サンプルホールド回路に供給するバッファ回路からなる液晶駆動回路において、

画素に印加する映像信号の極性反転周期に同期して電圧値が切り変わる2系統のリセット電圧を形成するリセット電圧回路と、該2系統のリセット電圧を上記ドレイン線の奇数番号と偶数番号とに対応して印加するスイッチから構成されるリセット回路と、該スイッチの開閉を制御するリセット制御回路を設けたことを特徴とする音送りリセット方式液晶パネル駆動回路。

【請求項2】マトリクス状に配列した画素トランジスタからなるアクティブマトリクス液晶パネルと、該画素トランジスタの縦方向画素毎にドレイン電極を共通に引きだしたドレイン線と、横方向画素毎にゲート電極を共通に引きだしたゲート線と、該ゲート線を順次走査する垂直走査回路と、該ドレイン線に映像信号をサンプルホールドして供給するスイッチおよび容量からなるサンプルホールド回路と、該サンプルホールド回路の該スイッチを順次走査する水平走査回路と、該水平走査回路の制御を行う水平制御回路と、垂直走査回路の制御を行う垂直制御回路と、入力映像信号に同期して該垂直制御回路および水平制御回路の制御を行う同期制御回路と、前記入力映像信号を処理する映像処理回路と、該処理された映像信号から正極性および負極性の映像信号を形成する極性変換回路と、該正極性および負極性の映像信号を周期的に切替えるビデオスイッチと、該ビデオスイッチで切替えた映像信号を前記サンプルホールド回路に供給するバッファ回路からなる液晶駆動回路において、

画素に印加する映像信号の極性反転周期に同期して電圧値が切り変わるリセット電圧を形成するリセット電圧回路と、該リセット電圧を上記ドレイン線に印加するスイッチから構成されるリセット回路と、該スイッチの開閉

を制御するリセット制御回路を設けたことを特徴とする音送りリセット方式液晶パネル駆動回路。

【請求項3】請求項1又は2に記載されるリセット回路のスイッチを上記画素トランジスタと同じプロセスで構成してなることを特徴とするアクティブマトリクス液晶パネル。

【請求項4】請求項1又は2に記載されるリセット回路のスイッチおよびサンプリング回路のトランジスタを上記走査回路と同じプロセスで構成してなることを特徴とする水平走査用制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶パネルの駆動回路に関し、特に電圧線度特性にヒステリシス特性を有する液晶パネルの駆動回路に関する。

【0002】

【従来の技術】液晶パネルを電気光学的特性から分類すると、

(1) 散乱モード・・PDL C (Polymer Dispersed Liquid Crystal) 等

(2) 偏向回転モード・・TN (Twisted Nematic)

(3) 複屈折モード・・STN (Super Twisted Nematic) 等

(4) 強誘電性モード・・FLC (Ferroelectric Liquid Crystal) 等

(5) 吸収2色性モード・・GH (Guest Host) 等に大別される。

【0003】液晶パネルの大半はTNモードもしくはSTNモードを用いているが、他の光学モードでの研究も行われている。PDL Cも最近注目されている液晶材料の一つであり、

(1) パネル製作工程が簡便

(2) 高速応答

(3) 偏光板が不要なため明るい

などの特長があり、調光ガラス等では既に実用化が始まっている。画像表示装置への応用も盛んに研究されており、投写形への応用の一例として「フラットディスプレイ 1991」(日経エレクトロニクス社 1991)の214頁～224頁に詳しい。

【0004】

【発明が解決しようとする課題】PDL Cは、「PDL C素子における電界印加によるメモリ効果」(テレビ学技法 Vol.15, No.37, p81～p86)に報告されているように、メモリ効果を有することが知られている。

【0005】このメモリ効果は、一定程度の画面を表示する場合は問題とならない。しかし、画度に変化する場合、メモリ効果によって、現在の表示画度が過去に印加した電圧の影響を受けるといふヒステリシス現象を生じる。すなわち、過去の印加電圧が高いか低いかによって、同じ印加電圧を与えても表示輝度が異なる現象を

生じる。

【0006】このヒステリシス現象は動画表示では問題であって、例えば、黒背景に白窓を表示している状態から全面灰色に表示を切替えた場合、白窓の部分が焼きついたように表示像が残る画質劣化となる。

【0007】

【課題を解決するための手段】このヒステリシスの問題を解決するために、所定の基準電圧を設け、この基準電圧で画素をリセットした直後に画像表示電圧を画素に印加する。

【0008】

【作用】画素を一定の基準電圧にリセットした後に画像表示電圧を印加するのであるから、いずれの画像表示電圧を書きこむ場合も過去の印加電圧は共通の基準電圧になる。すなわち、前述の如く黒背景に白窓を表示している状態から全面灰色に切替える場合、基準電圧でリセットしてから表示するのであるから白窓の部分の焼きつきは生じない。PDLICのヒステリシス特性は残ったままであるが、焼きつきなどの画質劣化を防止することが出来る。

【0009】

【実施例】動画表示用の液晶パネルは画素毎に画素トランジスタを設けたアクティブマトリクス方式で駆動することが多い。以下の実施例では、複写に用いられるモノクロタイプのアクティブマトリクス方式パネルを用いた実施例を説明する。

【0010】図1は本発明における第1の実施例を説明するための液晶パネル駆動回路の構成図である。

【0011】図1の駆動回路の構成は、ビデオ入力端子1、同期制御回路2、映像処理回路3、レベル調整回路4、極性変換回路5およびビデオスイッチ6aと6bからなる極性反転回路6、バッファアンプ7aおよび7b、水平(H)制御回路8、水平走査回路9、垂直(V)制御回路10、垂直走査回路11、リセット制御回路12、電圧切替えスイッチ13aと13bおよびリセット電圧源17aと17bからなるリセット電圧回路13、サンプルホールド回路14、リセット回路15およびアクティブマトリクス液晶パネル16からなる。

【0012】これらのうち、サンプルホールド回路14はサンプリングスイッチとして動作するn個のトランジスタTs1~Tsnおよびサンプルホールド容量Cs1~Csnからなり、リセット回路15はスイッチとして動作するn個のトランジスタTc1~Tcnからなり、液晶パネル16は水平方向にn個、垂直方向にm個ずつ配列した画素トランジスタTr11~Trmnおよび保持容量Ca11~Camnと、画素トランジスタTr11~Trmnの縦方向画素毎にドレイン電極を共通に引きだしたドレイン線D1~Dnおよび横方向画素毎にゲート電極を共通に引きだしたゲート線G1~Gmから構成される。

【0013】図1では特に、画素に書きこむ映像信号の極性を列(水平方向)毎に反転して駆動を可能とする「列毎反転駆動」に対応する構成であり、奇数番号のサンプリングトランジスタTs1~Tsn(n-1)により映像信号Video1をサンプリングして奇数番号のドレイン線D1~D(n-1)に印加し、偶数番号のサンプリングトランジスタTs2~Tsnにより映像信号Video2をサンプリングして偶数番号のドレイン線D2~Dnに印加する構成である。また、リセット回路15についても上記列毎反転駆動に対応しており、リセット回路15を構成する奇数番号のトランジスタTc1~Tc(n-1)は奇数番号のドレイン線D1~D(n-1)にリセット電圧Vrst1を印加して、偶数番号のトランジスタTc2~Tcnは偶数番号のドレイン線D2~Dnにリセット電圧Vrst2を印加する構成である。

【0014】図1に示す構成では入力端子1にビデオ信号(複合映像信号)を入力し、この入力ビデオ信号を同期制御回路2および映像処理回路3で処理する。

【0015】同期制御回路3は垂直同期信号Vsyncと水平同期信号Hsyncを形成してH制御回路8、V制御回路10およびリセット回路12の同期をとり、また極性制御信号Paltを形成してビデオスイッチ6a、6bおよび電圧切替えスイッチ13a、13bの開閉を制御する。すなわち、V制御回路10は垂直同期信号Vsyncおよび水平同期信号Hsyncに同期して、スタートパルスVst1とシフトクロックVckを形成して垂直走査回路11を制御し、垂直走査回路11は液晶パネル16のゲート線G1~Gnを順次ON・OFFして垂直走査を行う。

【0016】制御回路8は、垂直同期信号Vsyncおよび水平同期信号Hsyncに同期して、垂直走査期間毎にスタートパルスHst1およびシフトクロックHckを形成して水平走査回路9を制御し、水平走査回路9はサンプリングパルスφ1~φnを出力することにより、サンプリング回路14のサンプリングトランジスタTs1~Tsnを順次ON・OFFさせて、奇数および偶数番号のトランジスタでそれぞれVideo1およびVideo2の映像信号をサンプリングし、ホールド容量Cs1~Csnにサンプリングデータをホールドすると同時に、液晶パネル16のドレイン線D1~Dnを介して、選択されるゲート線の画素に信号を書き込んでいる。

【0017】リセット制御回路12は、垂直同期信号Vsyncおよび水平同期信号Hsyncに同期して、リセット信号Rstを形成してリセット回路15のトランジスタTc1~TcnをON・OFFして制御し、奇数番号のドレイン線D1~D(n-1)および偶数番号のドレイン線D2~Dnをそれぞれリセット電圧Vrst1およびVrst2にリセットする。

【0018】電圧切替えスイッチ13a、13bは、極性制御信号Pa1に基づいてリセット電圧源17a、17bからの電圧を切替えて、互いに極性が異なる2系統のリセット電圧Vrst1およびVrst2を形成し、リセット回路15に供給する。

【0019】一方、映像処理回路3では、入力ビデオ信号を処理して液晶パネルに表示する映像信号を形成する。形成した映像信号をレベル調整回路4にて適当な振幅に調整し、極性変換回路5にて正極性、負極性の2つの映像信号に変換する。この極性の異なる2つの映像信号をビデオスイッチ6a、6bにて極性制御信号Pa1の周期毎に極性が反転する信号に変換したのちバッファアンプ7aおよび7bを介してそれぞれVideolおよびVideol2としてサンプルホールド回路14に印加する。

【0020】図2は、図1の動作を説明するための、図1における各信号のタイミングチャート図の1例である。簡単のため、垂直同期信号Vsyncの周期は水平同期信号Hsyncの4周期に相当するタイミングとし、水平同期は水平シフトクロックHclkの10周期に相当するタイミングを例にとって示す。また、極性制御信号Pa1は垂直周期で反転するものとするものとして説明する。

【0021】図2の時刻tsにおける垂直シフトクロックVclkの立ち上がりで、垂直スタート信号VstartのロジックHに同期して垂直走査を開始する。このとき、少なくとも時刻tsにおいて極性制御信号Pa1のロジックをHからLに反転し、これに同期して映像信号Videolの極性を負から正に切替え、Videol2の極性を正から負に切替える。同時に、リセット電圧Vrst1をVHからVLに切替え、Vrst2をVLからVHに切替える。なお、Videol、Videol2、Vrst1、Vrst2の中心電圧(=平均電圧)を等しくVcとする。

【0022】図3は、図1のHstart、Hclk、Rstについてのタイミングを説明するために、図2における時刻tsから1水平周期後の時刻tnとし、この1水平周期の期間を時間拡大したタイミングチャート図である。

【0023】図3における時刻tsで垂直シフトクロックを立ち上げて所定のゲート線を選択した後、時刻t1においてリセット信号RstをロジックHとしてリセット回路の15のトランジスタをONさせてドレインD1～Dnをリセット電圧に設定し、ゲート線が選択されている所定の画素をリセットする。時刻t2においてリセット信号RstをロジックLに戻してリセット回路の15のトランジスタをOFFさせた後、時刻t3において、水平シフトクロックHclkの立ち上がりで水平スタート信号のロジックHに同期してビデオ信号のサンプリングを開始し、ゲート線が選択されている所定の画素に

映像信号を書きこむ。図1の実施例におけるリセット電圧源17a、17bの接続では、映像信号が正極性の時リセット電圧がVLとなり、映像信号が負極性の時にリセット電圧がVHとなるようになっており、画素に印加されるリセット電圧の実効値が常に大きくなるように構成している。

【0024】図4は図1に示す構成での、映像信号の入力電圧と液晶パネルの輝度との関係を示すための電圧輝度特性図である。横軸の入力電圧および縦軸の輝度は最大値が1となるように正規化している。理想的には入力電圧と輝度とが比例するのが好ましく、理想的特性は点線で示す直線となる。しかし、本実施例での液晶パネルは電圧輝度特性にヒステリシス特性を持っており、入力電圧を1から0に下げる場合は白表示Whから始まって曲線H2に沿って輝度が変化、入力電圧を0から1に上げる場合は黒表示の点Bkから始まって曲線H1に沿って輝度が変化する。このヒステリシス特性により、従来技術では、白と黒の間である灰色表示を表示するために電圧0.5を入力しても、前画面表示が白表示の場合は入力0.5に立つ破線と曲線H2との交点Aに相当する輝度TAとなり、前画面表示が黒表示の場合は入力0.5に立つ破線と曲線H1との交点Bに相当する輝度TBとなり、同じ入力電圧に対して2種類の輝度が表示されるという不都合を生じる。

【0025】この従来技術に対して、図1に示す本発明の第1の実施例では、画素への映像信号書き込みに先だって画素を所定のリセット電圧にリセットして、前画面の輝度を一定としている。図1の構成におけるリセット電圧源17a、17bの接続では、映像信号が正極性の時リセット電圧がVLとなり、映像信号が負極性の時にリセット電圧がVHとなるようになっており、画素に印加されるリセット電圧での実効値が常に大きい。すなわち、図1の実施例は白表示を基準にして映像信号を書きこむ構成であり、電圧輝度特性は常に図4に示す太い曲線H2に沿う特性となる。したがって、同じ入力電圧に対して2種類の輝度が表示されるという不都合は生じない。

【0026】図5は本発明における第2の実施例を説明するための液晶パネル駆動回路の構成図である。回路構成は図1と大部分が同じであるが、図5におけるリセット電圧源17a、17bの接続極性は図1における接続極性と逆である。したがって、図5の駆動回路の動作は図1と同じであるが、リセット回路15に印加するリセット電圧のVrst1、Vrst2の極性が図1と反対である。

【0027】図6は図5に対するタイミングチャート図である。図2に示すタイミングチャート図とタイミングは同じであるが、図5におけるリセット電圧源17aおよび17bの接続が逆であるので、リセット電圧Vrst1およびVrst2の極性が図2と反対である。すなわち、図5におけるリセット電圧源17a、17bの接

続では、映像信号が正極性の時リセット電圧がV_Lとなり、映像信号が負極性の時にリセット電圧がV_Hとなるようになっており、画素に印加されるリセット電圧の実効値が常に小さくなるように構成している。

【0028】図7は図5に示す構成での電圧幅度特性図である。図5に示す本発明の第2の実施例の構成におけるリセット電圧源17a、17bの接続では、映像信号が正極性の時リセット電圧がV_Hとなり、映像信号が負極性の時にリセット電圧がV_Lとなるようになっており、画素に印加されるリセット電圧での実効値が常に小さい。すなわち、図5に示す実施例は黒表示を基準にして映像信号を書きこむ構成であり、電圧幅度特性は常に図7に示す太い曲線H1に沿う特性となる。したがって、図1の実施例と同様に図5の実施例においても、一つの入力電圧に対して2種類の輝度が表示されるという不都合は生じない。

【0029】上記図1に示す第1の実施例、図5に示す第2の実施例では、極性制御信号P_{alt}が垂直周期で反転するものとしてタイミングチャート図を説明した。他の周期で反転することも可能であって、例えば水平周期で反転する場合のタイミングチャート図を以下に示す。

【0030】図8は、図1に示す構成の実施例において極性制御信号P_{alt}が水平周期で反転する場合のタイミングチャート図である。図2のタイミングチャート図と基本的には同じであるが、極性制御信号P_{alt}が垂直クロックV_{cl}kの立ち上りで反転するのが図2と異なる。図2における垂直クロックV_{cl}kの周期は1水平周期に等しく、したがって、極性制御信号P_{alt}の反転にともない、映像信号V_{id}eo1とV_{id}eo2およびリセット電圧V_{rst}1とV_{rst}2も水平周期で反転する点が図2と異なる。

【0031】この図8に示すタイミングチャート図においても、図1の構成におけるリセット電圧源17a、17bの接続にたいして、映像信号が正極性の時リセット電圧がV_Lとなり、映像信号が負極性の時にリセット電圧がV_Hとなるようになっており、図2のタイミングチャート図と同じ効果を得る。すなわち、電圧幅度特性は常に図4に示す太い曲線H2に沿う特性となり、一つの入力電圧に対して2種類の輝度が表示されるという不都合は生じない。

【0032】図9は、図5に示す構成の実施例において極性制御信号P_{alt}が水平周期で反転する場合のタイミングチャート図である。図6のタイミングチャート図と基本的には同じであるが、極性制御信号P_{alt}が垂直クロックV_{cl}kの立ち上りで反転するのが図6と異なる。図6における垂直クロックV_{cl}kの周期は1水平周期に等しく、したがって、極性制御信号P_{alt}の反転にともない、映像信号V_{id}eo1とV_{id}eo2およびリセット電圧V_{rst}1とV_{rst}2も水平周期

で反転する点が図6と異なる。

【0033】この図9に示すタイミングチャート図においても、図5の構成におけるリセット電圧源17a、17bの接続にたいして、映像信号が正極性の時リセット電圧がV_Hとなり、映像信号が負極性の時にリセット電圧がV_Lとなるようになっており、図6のタイミングチャート図と同じ効果を得る。すなわち、電圧幅度特性は常に図7に示す太い曲線H1に沿う特性となり、一つの入力電圧に対して2種類の輝度が表示されるという不都合は生じない。

【0034】なお、上記実施例に示す駆動回路は、画素に書きこむ映像信号の極性を列（水平方向）毎に反転して駆動を可能とする「列毎反転駆動」に対応する構成である。これは液晶パネルのフリッカ対策として用いられている駆動方法であるが、「列毎反転駆動」を行わない最も単純な駆動方法での実施例も可能である。

【0035】図10は「列毎反転駆動」行わない駆動方法における駆動回路の1実施例である。構成は図1と大部分が同じであるが、極性反転回路6における映像信号の切替えスイッチはビデオスイッチ6aの1系統のみである。したがって扱う映像信号はV_{id}eo1の1系統のみであり、サンプリングトランジスタT_{s1}～T_{sn}は奇数・偶数の区別なく同じ映像信号V_{id}eo1をサンプリングして、奇数・偶数の区別なくドレイン線D1～D_nに印加する。また、リセット電圧回路13も電圧切替えスイッチ13aの1系統で十分であり、奇数・偶数の区別なくリセット回路15を構成するトランジスタT_{cl}～T_{cn}でドレイン線D1～D_nにリセット電圧V_{rst}1を印加する。

【0036】上記図10に示す実施例におけるタイミングチャート図は、図2、図3および図8のタイミングチャート図からV_{id}eo2およびV_{rst}2を取り除いた図で説明されることは明らかであり、効果についても図4とまったく同じである。

【0037】上記図10に示す実施例において、リセット電圧源14a、14bの接続を逆にした場合の実施例は図11に示す通りである。図11に示す実施例におけるタイミングチャート図は、図6のタイミングチャート図からV_{id}eo2およびV_{rst}2を取り除いた図で説明されることは明らかであり、効果についても図7とまったく同じである。

【0038】また、図1、図2、図10における回路構成図では水平走査回路9、垂直走査回路11、サンプリング回路14、リセット回路15、アクティブマトリクス液晶パネル16の画素トランジスタT_{r1}1～T_{rn}mを別々の構成要素として記載したが、実際の製品では同じプロセスで形成する集積回路素子としてまとめることも可能である。1例は、水平走査回路9、垂直走査回路11、サンプリング回路14、リセット回路15を、画素トランジスタT_{r1}1～T_{rn}mをp-Si(p o

ly-Silicon:多結晶シリコン)もしくは単結晶シリコン等のプロセスによって形成し、液晶パネルのアクティブマトリクス基板上にまとめて構成する場合。他の1例は、水平走査回路9、サンプリング回路14、リセット回路15を単結晶シリコン等のプロセスによって1つの水平走査用集積回路として構成する場合、等々である。このような場合でも、機能毎に回路ブロックとして分解すれば図1、図2、図10と同じであり、したがって、リセット回路を設けたことによる動作、効果は本発明の実施例と同じであることは明らかである。

【0039】

【発明の効果】本発明によれば、画素を所定の基準電圧にリセットした上で映像信号を書きこむことができるので、電圧転度特性にヒステリシス特性を有する液晶パネルに動画表示する場合であっても、一つの入力映像信号に対して多数の線度が表示されるという不都合は生じないという効果がある。

【図面の簡単な説明】

【図1】本発明における第1の実施例を説明するための液晶パネル駆動回路の構成図である。

【図2】図1の動作を説明するための、図1における各信号のタイミングチャート図である。

【図3】図1のHstrt、Hclk、Rstについてのタイミングを説明するために、図2の1水平周期の間を時間拡大したタイミングチャート図である。

【図4】図1に示す構成での、映像信号の入力電圧と液晶パネルの転度との関係を示すための電圧転度特性図である。

10

*【図5】本発明における第2の実施例を説明するための液晶パネル駆動回路の構成図である。

【図6】図5に対するタイミングチャート図である。

【図7】図5に示す構成での電圧転度特性図である。

【図8】図1に示す構成の実施例において極性制御信号Pal1が水平周期で反転する場合のタイミングチャート図である。

【図9】図5に示す構成の実施例において極性制御信号Pal1が水平周期で反転する場合のタイミングチャート図である。

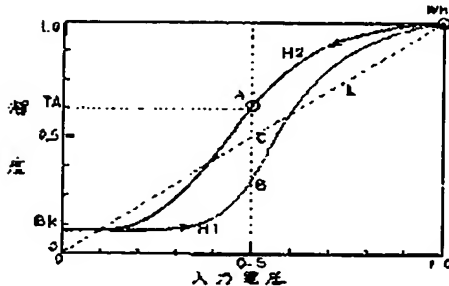
【図10】列毎反転駆動を行わない駆動方法での駆動回路の1実施例を示す図である。

【符号の説明】

1…ビデオ入力端子、2…同期制御回路、3…映像処理回路、4…レベル調整回路、5…極性変換回路、6a、6b…ビデオスイッチ、6…極性反転回路、7a、7b…バッファアンプ、8…水平制御回路、9…水平走査回路、10…垂直制御回路、11…垂直走査回路、12…リセット制御回路、13a、13b…電圧切替えスイッチ、13…リセット電圧回路、14…サンプルホールド回路、15…リセット回路、16…アクティブマトリクス液晶パネル、17a、17b…リセット電圧源、Ts1～Tsn…トランジスタ、Cs1～Csn…サンプルホールド容量、Tc1～Tcn…トランジスタ、Tr11～Trmn…トランジスタ、Ca11～Cann…保持容量、D1～Dn…ドレイン線、G1～Gm…ゲート線。

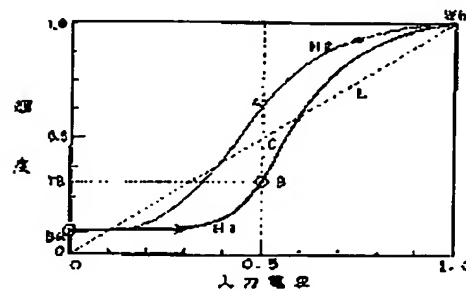
【図4】

図 4

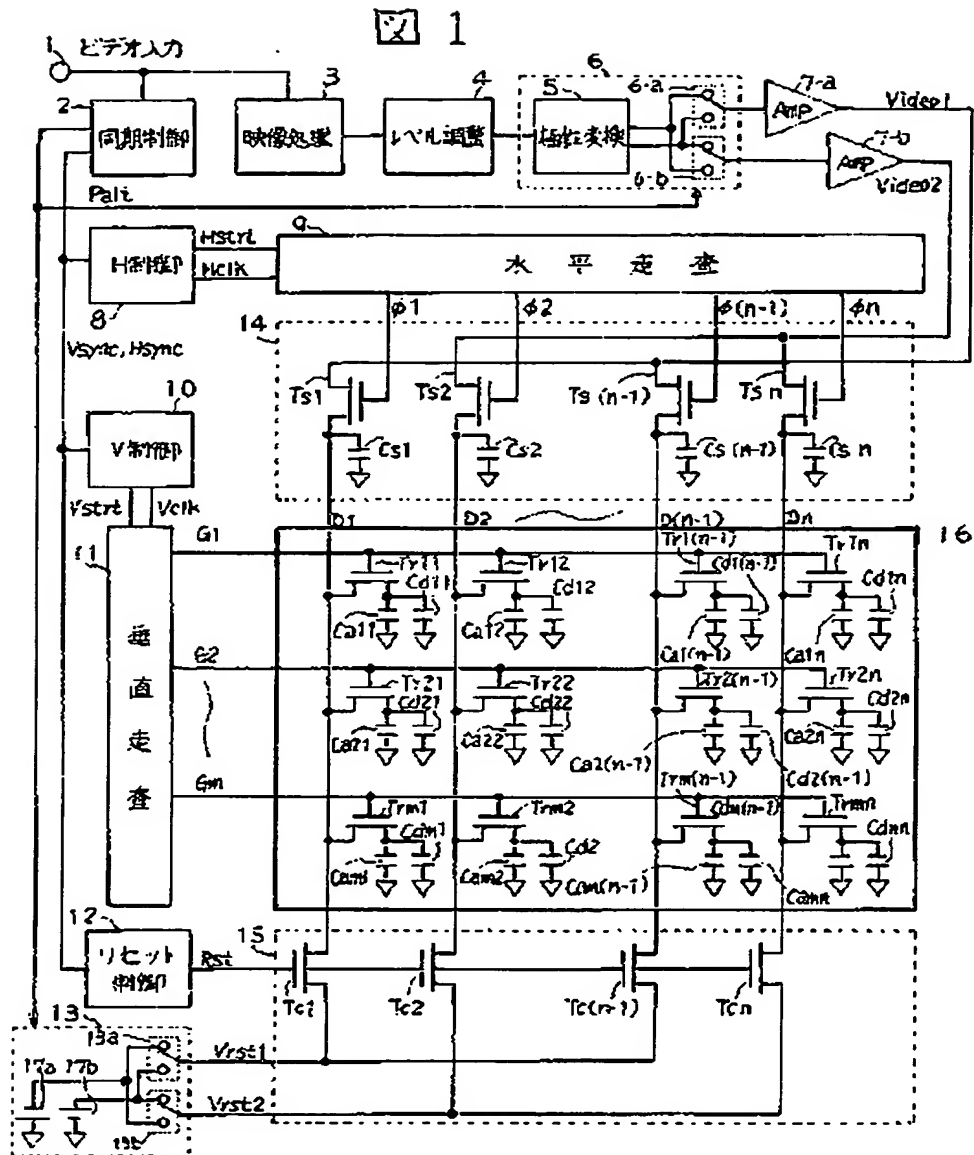


【図7】

図 7

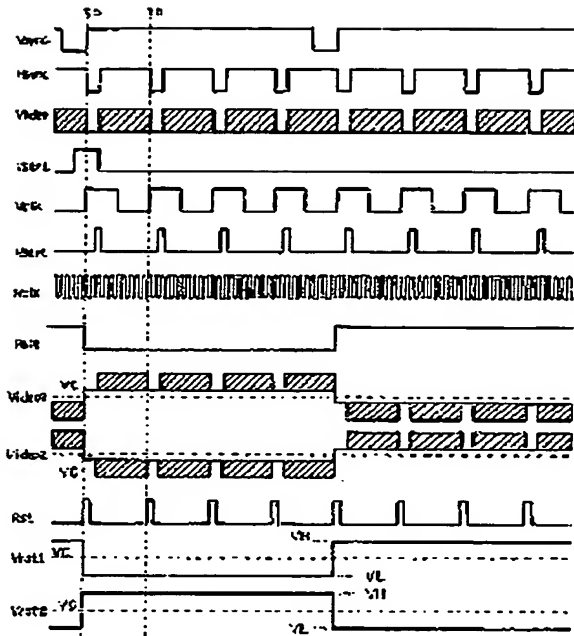


【図1】



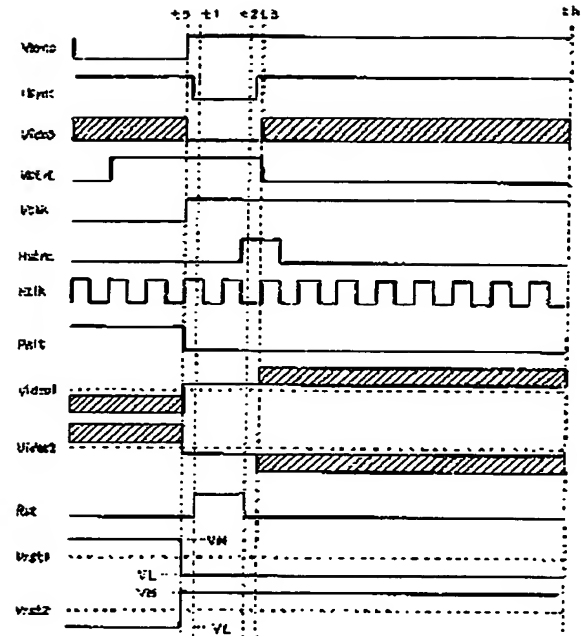
【図2】

図 2



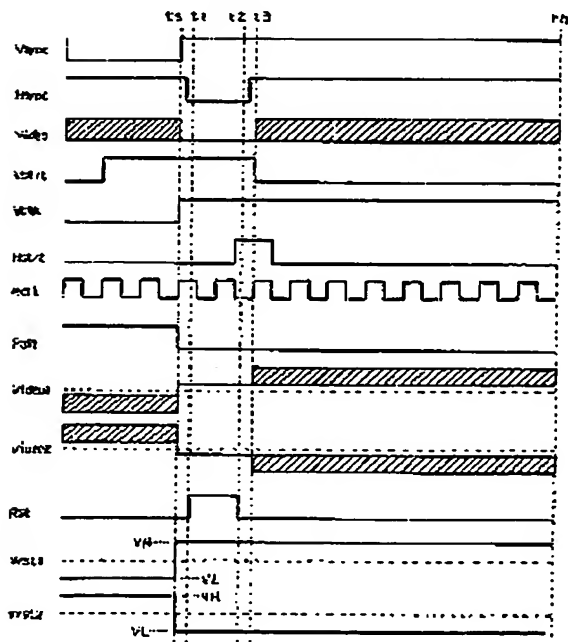
【図3】

図 3



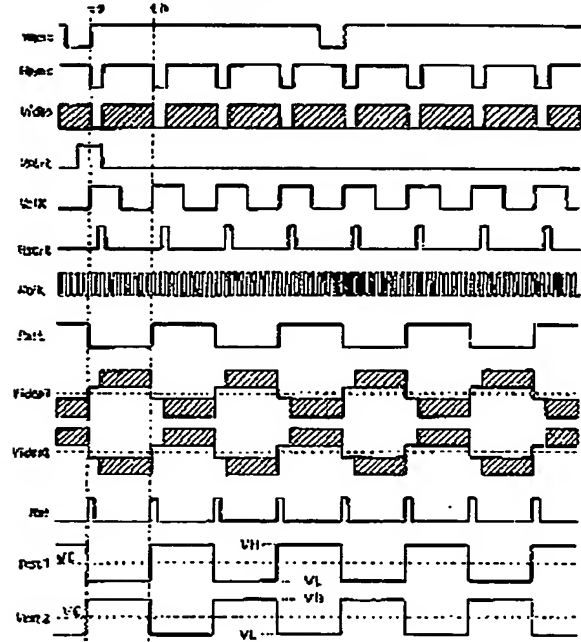
【図6】

図 6

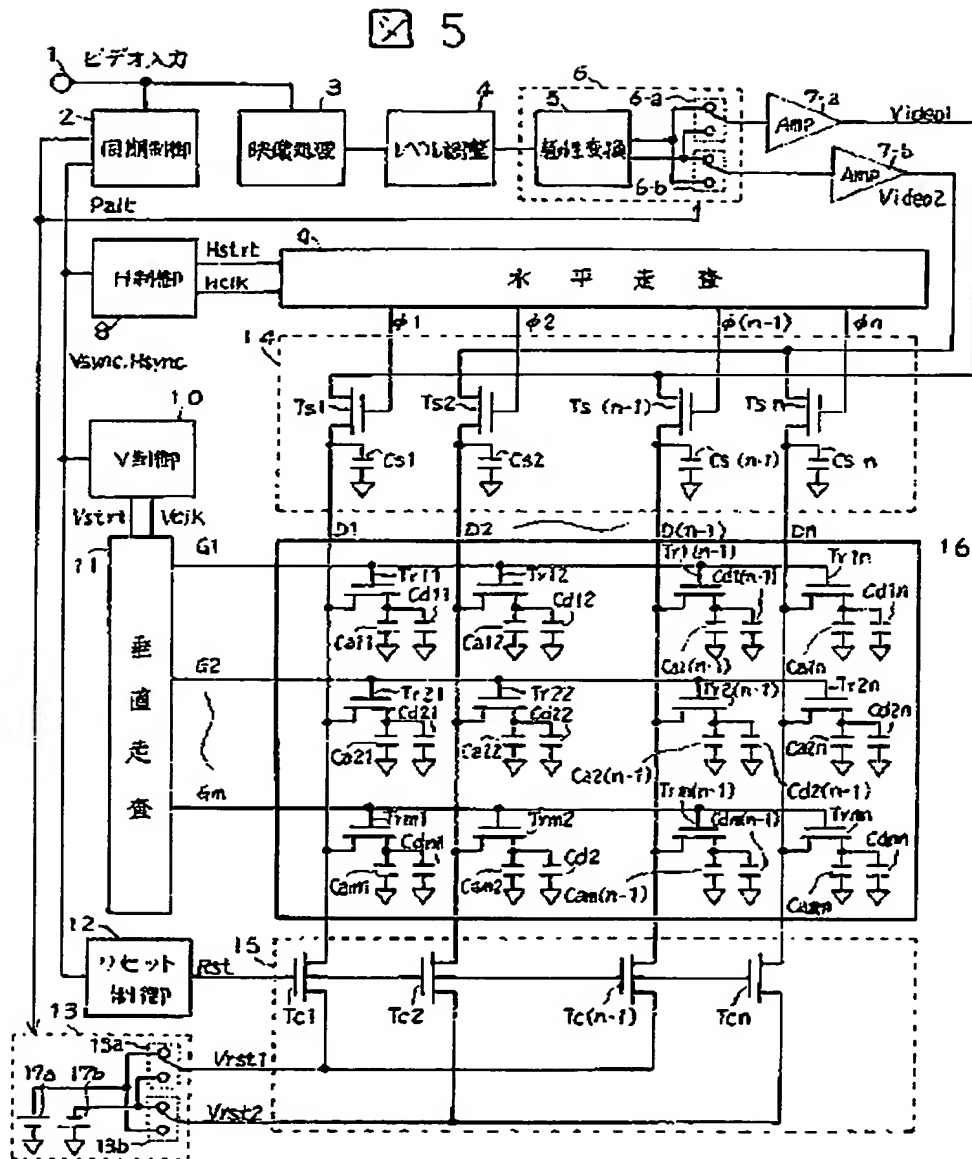


【図8】

図 8

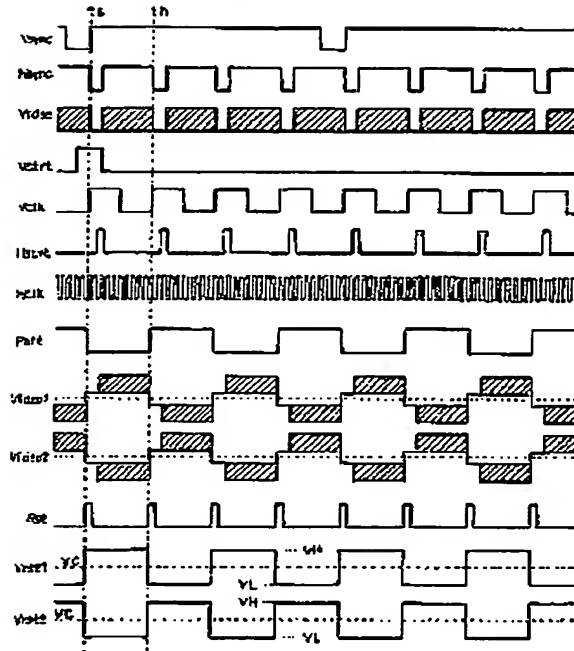


【図5】



【図9】

図9



【図10】

